Đồ án 2: DESIGN AND SIMULATION I2C PROTOCOL BY VERILOG

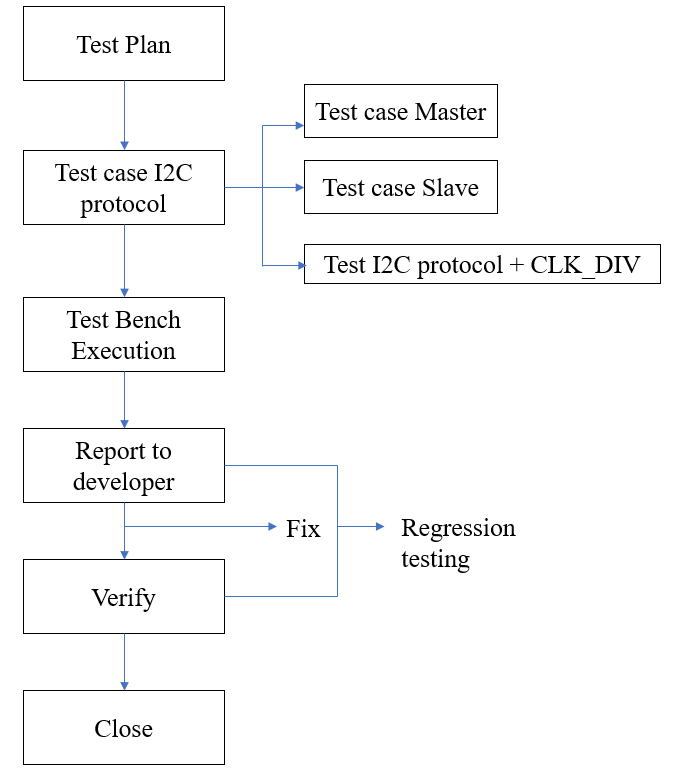
Thời gian: Tuần 9

Nội dung: Test plan + Code RTL 45% chức năng

**Test plan**

|  |  |  |
| --- | --- | --- |
| TT | Thời gian | Nội Dung |
| 1 | 21/10 - 27/10 | Test case Master |
| 2 | 28/10 - 3/11 | Test case Slave |
| 3 | 4/12 - 10/12 | Test I2C protocol + CLK DIV |

**Diagram**



CLK\_DIV: Chia tần số phù hợp với mỗi khối trong hệ thống.

Test case Master: Test khối Master đã tạo với khối Slave có sẵn

Test case Slave: Test khối Slave đã tạo với khối Master có sẵn

Test I2C protocol + CLK\_DIV: test quá trình giao tiếp giữa Master và Slave, sử dụng bộ chia xung

Test Bench Execution: Test Bench quá trình giao tiếp giữa Master với Slave và ngược lại